

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-218042

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月31日

H 01 L 21/88
21/304
21/31
21/90
23/14
23/52
27/00

3 0 1

K-6824-5F
B-8831-5F
Z-6824-5F
D-6824-5F
S-7738-5F
C-7454-5F
B-7514-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-45006

⑰ 出 願 昭63(1988)2月26日

⑱ 発 明 者 森 山 好 文 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

シリコン基板と、機能素子形成後に裏面を研磨して厚さを薄くし前記シリコン基板上に搭載した半導体チップと、前記半導体チップを含む表面を被覆する絶縁膜と、前記絶縁膜に設けたコンタクトホールを介して前記半導体チップと電気的に接続する配線層と、前記配線層を含む表面に設けて表面を平坦化する保護絶縁膜とを含むことを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関する。

〔従来の技術〕

従来、この種の半導体装置はSTD(Semicon-

ductor Thermoplastic Dielectric)方式として知られており、一例として、第3図に示すように、アルミナ又はベリリア等のセラミック基板10の上に、マウント剤2を用いて半導体チップ3をマウントし、半導体チップ3を含む表面に四弗化樹脂膜11を加圧プレス法により設けて半導体チップ3を埋め込む。次に、四弗化樹脂膜11にコンタクトホールを形成し、前記コンタクトホールの上に設けた導体層を堆積し、これを選択的にエッチングして配線層6を形成する。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、アルミナ又はベリリア等のセラミック基板上にマウントした半導体チップを加圧プレス法により形成した四弗化樹脂膜により被覆し、埋込んで形成しているので、基板と半導体素子の熱膨張係数が整合せず、半導体チップにクラックを生じて半導体装置の信頼性を低下させるという問題点がある。

また、多層化の場合には、半導体チップのクラックの発生率が更に高くなり、300μmを超える

厚さの半導体チップ（クラックを防止するため薄くできない）及び配線層の厚みのため多層化が困難となるという問題点がある。

本発明の目的は、熱膨張率の差による半導体チップのクラックを防止し、且つ、多層化を容易にする半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、シリコン基板と、機能素子形成後に裏面を研磨して厚さを薄くし前記シリコン基板上に搭載した半導体チップと、前記半導体チップを含む表面を被覆する絶縁膜と、前記絶縁膜に設けたコンタクトホールを介して前記半導体チップと電気的に接続する配線層と、前記配線層を含む表面に設けて表面を平坦化する保護絶縁膜を含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を説明するための半導体装置の断面図である。

第2図は本発明の第2の実施例を説明するための半導体装置の断面図である。

第2図に示すように、シリコン基板の上に、例えば、ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス(Japanese Journal of Applied Physics)第23巻、第10号、1984年10月、第L815～L817頁にデバイス・レイヤー・トランスファ・テクニック・ユージング・ケミ・メカニカル・ポリッシング(Device Layer Transfer Technique using Chemical Mechanical Polishing)の表題で紹介されている機械的-化学的研磨法により5～50μmの厚さに研磨して機能素子層を残した半導体チップ3aをマウント剤2により搭載する。次に、半導体チップ3aを含む表面をシリカ膜形成用塗布液（例えば東京応化工業製OCD液）を回転塗布し、これを焼成して絶縁膜8aを形成する。このとき、絶縁膜8aとしてスパッタリング法又はCVD法により酸化シリコン膜等を堆積した絶縁膜を形成しても良い。次に、第1の実施例と同様にして絶

第1図に示すように、シリコン基板1の上に機能素子形成後に裏面を研磨して厚さを10～150μmに研磨して薄くした半導体チップ3をマウント剤2を用いて接着し搭載する。次に、半導体チップ3を含む表面に、耐熱性の良好な液状ポリイミド系樹脂膜を塗布して硬化させた絶縁樹脂膜4を形成し、半導体チップ3の表面に設けたA₂電極5の上の絶縁樹脂膜4にコンタクトホールを設ける。このとき、A₂電極5の上にCu/Ti層や、Cu/Cr層、又はAu/Pt/Tiのコンタクト層を選択的に形成しても良い。次に、前記コンタクト層を含む表面にA₂層又はCu層等の導体層をスパッタリング法、蒸着法、めっき法等を用いて堆積し、これを選択的にエッチングして配線層6を形成する。次に、全面に保護樹脂膜7を設ける。本実施例では基板としてシリコン基板を用いているため半導体チップとの熱膨張率を整合させることができ、半導体チップのクラックを防止することができると共に多層化も容易となる。

絶縁膜8aにコンタクトホールを設け、前記コンタクトホールの半導体チップ3aに設けたA₂電極5aとコンタクトする配線層6aを選択的に設ける。次に、配線層6aを含む表面に層間絶縁膜9を形成して表面を平坦にする。

次に、層間絶縁膜9の上に上述した工程を順次繰返して半導体素子3bをマウントし、絶縁膜8b及び配線層6bをそれぞれ形成し、最上部に保護樹脂膜7を形成する。

このように、半導体チップ3、3a、3bとシリコン基板1との熱膨張係数を整合させ、更に半導体チップ3、3a、3bを被覆する絶縁膜に弾力性のある絶縁樹脂膜4又は熱膨張係数の近い絶縁膜8a、8bを使用することによって、半導体チップのクラックを防止し、且つ、薄い半導体チップの使用により表面を平坦化して多層化構造を容易に実現できる。

〔発明の効果〕

以上説明したように本発明は機械的研磨あるいは機械的-化学的研磨により薄く加工した半導体

チップを、シリコン基板上にマウントし、絶縁膜中に半導体チップを埋め込み、絶縁膜に形成したコンタクトホールを介して電極間接続を行なうことにより、種類の異なる半導体チップを高密度に、信頼性高く実装することが可能となる。ここで、シリコン基板を用いることは、半導体装置の信頼性を高め、且つ、熱放散性を高める効果が生ずる。また、シリコン基板を用いることにより、半導体チップを薄く加工して搭載しても半導体チップのクラックを防止でき信頼性を向上させる効果がある。

また、半導体素子を薄く加工することにより液状樹脂による埋め込みや、無機材料による絶縁膜の形成が可能となり、半導体チップを薄く加工することにより表面の平坦化が容易に行なえ、半導体チップの多層化実装が容易となり、高い実装密度が得られるという効果を有する。

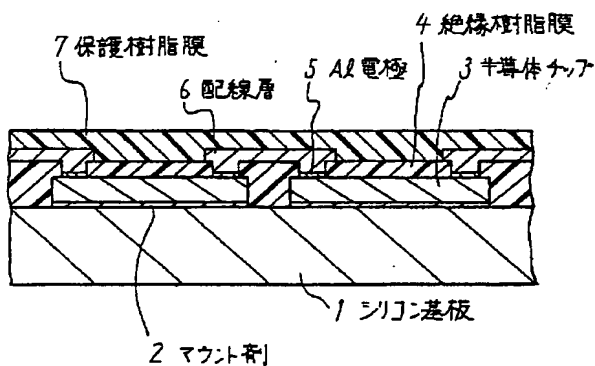
図面の簡単な説明

第1図及び第2図は本発明の第1及び第2の実

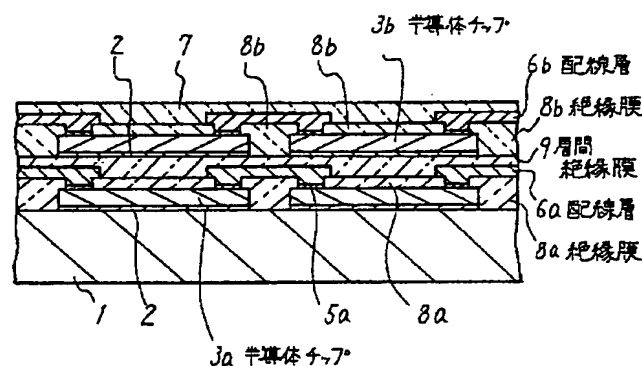
施例を説明するための半導体装置の断面図、第3図は従来の半導体装置の一例を説明するための断面図である。

1…シリコン基板、2…マウント剤、3、3a、3b…半導体チップ、4…絶縁樹脂膜、5…Al電極、6、6a、6b…配線層、7…保護樹脂膜、8a、8b…絶縁膜、9…層間絶縁膜、10…セラミック基板、11…四弗化樹脂膜。

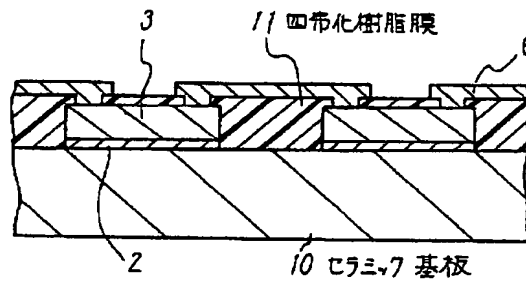
代理人 弁理士 内 原 哲



第 1 図



第 2 図



第 3 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-218042

(43)Date of publication of application : 31.08.1989

(51)Int.Cl.

H01L 21/88
H01L 21/304
H01L 21/31
H01L 21/90
H01L 23/14
H01L 23/52
H01L 27/00

(21)Application number : 63-045006

(71)Applicant : NEC CORP

(22)Date of filing : 26.02.1988

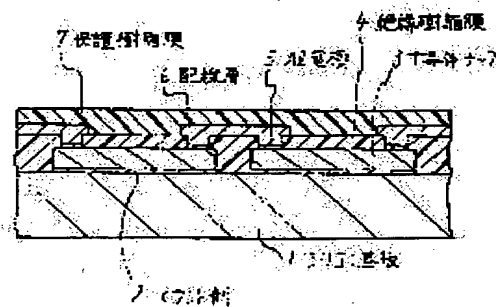
(72)Inventor : MORIYAMA YOSHIFUMI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enhance a heat-dissipating property by a method wherein thinly worked semiconductor chips are mounted on a silicon substrate and electrodes are connected via a contact hole made in an insulating film so that the semiconductor chips of different types can be mounted in a high density.

CONSTITUTION: Semiconductor chips 3 whose rear has been polished after formation of functional elements are bonded and mounted on a silicon substrate 1 by using a mounting agent 2. The surface including the chips 3 is coated with a liquid polyimide-based resin film whose thermal resistance is good; the film is hardened; an insulating resin film 4 is formed; a contact hole is made in the resin film 4 on an Al electrode S formed on the surface of the chips 3. A conductor layer such as an Al layer, a Cu layer or the like is deposited on the surface including a contact layer; it is etched selectively; a wiring layer 6 is formed. A protective resin film 7 is formed on the whole surface. By this setup, the chips of different types can be mounted in a high density; a heat-dissipating property can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]